

ESD protection configuration for signal inputs and outputs in semiconductor devices with substrate isolation

Patent number: DE19944489
Publication date: 2001-04-19
Inventor: GOSNER HARALD (DE)
Applicant: INFINEON TECHNOLOGIES AG (DE)
Classification:
- international: H01L23/60
- european: H01L27/02B4F2
Application number: DE19991044489 19990916
Priority number(s): DE19991044489 19990916

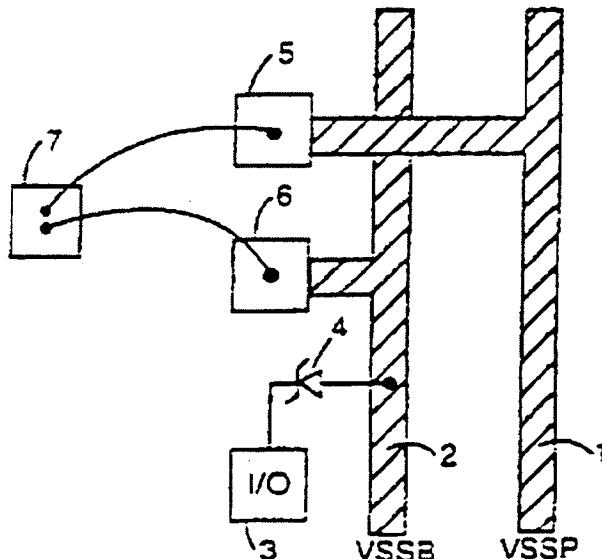
Also published as:

- WO0120678 (A1)
- EP1212797 (A1)
- US6590263 (B2)
- US2002121668 (A1)

Abstract not available for DE19944489

Abstract of correspondent: **US2002121668**

In the ESD protection configuration, in addition to the existing protection configurations, at each supply pad of the supply bus, an ESD diode is also inserted between the power bus with the potential VSSP and the supply bus with the supply potential VDDP. This ESD diode closes the protection path for negative loads between the substrate potential VSSB and the potential VSSP during an ESD stress and limits the voltage difference occurring between the two corresponding buses (the substrate bus and the power bus) to the terminal voltage of the breakdown diode plus the forward voltage of the ESD diode. The ESD diode between the power bus and the supply bus is intended to be operated only in the forward direction. This requires the breakdown voltage of the ESD diode to be significantly above the breakdown voltage of the breakdown diode of the supply bus



Data supplied from the **esp@cenet** database - Worldwide

(10) BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

Offenlegungsschrift

(10) DE 199 44 489 A 1

(5) Int. Cl.⁷:

H 01 L 23/60

(21) Aktenzeichen: 199 44 489.7
(22) Anmeldetag: 16. 9. 1999
(43) Offenlegungstag: 19. 4. 2001

(71) Anmelder:
Infineon Technologies AG, 81669 München, DE

(74) Vertreter:
Patentanwälte MÜLLER & HOFFMANN, 81667
München

(72) Erfinder:
Goßner, Harald, 85521 Riemerling, DE

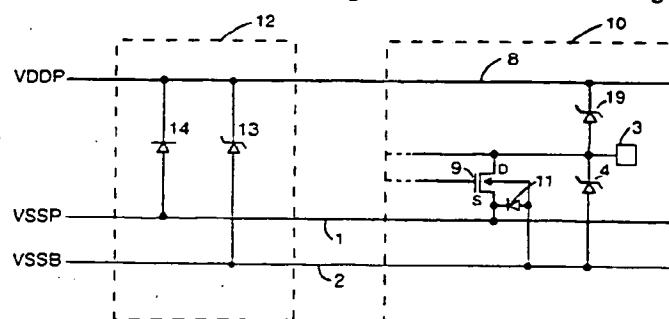
(56) Entgegenhaltungen:
WO 95 10 855 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) ESD-Schutzanordnung für Signaleingänge und -ausgänge bei Halbleitervorrichtungen mit Substrattrennung

(57) Die Erfindung betrifft eine ESD-Schutzanordnung, bei der eine zusätzliche ESD-Diode (14) zwischen einem Powerbus (1) mit Potential VSSP und einem Versorgungsbuss (8) mit Potential VDDP vorgesehen ist, um einen Schutzpfad für negative Belastungen zwischen einem Substratbus (2) mit Substratpotential VSSB und dem Powerbus (1) mit dem Potential VSSP während eines ESD-Stresses zu schließen.



DE 199 44 489 A 1

DE 199 44 489 A 1

Beschreibung

Die vorliegende Erfindung betrifft eine ESD-Schutzanordnung (ESD = electrostatic discharge) für Signaleingänge und -ausgänge (I/O) bei Halbleitervorrichtungen mit Substratrennung, bei der ein Halbleitersubstrat mit einem Substratbus zum Beaufschlagen des Halbleitersubstrats mit einem Substratpotential VSSB und einer Halbleiterdiffusionszone im Halbleitersubstrat mit einem Powerbus (Leistungsbus) zum Beaufschlagen der Halbleiterdiffusionszone mit einem Powerpotential VSSP verbunden sind, bei der zwischen dem Substratbus und dem Powerbus eine parasitäre Diode liegt, bei der über einen Versorgungsbuss den mit I/O-Pads (bzw. Eingabe/Ausgabe-Kontaktkissen) versehenen Halbleitervorrichtungen ein Versorgungspotential VDDP zuführbar ist und bei der zwischen dem Substratbus und dem Versorgungsbuss eine in Flussrichtung betriebene Durchbruchdiode liegt. Die Diffusionszone kann beispielsweise als Source von Treibern genutzt sein.

ESD-Schutzanordnungen sind bekanntlich erforderlich, um integrierte Schaltungen vor Überspannungen zu schützen. Solche Überspannungen können beispielsweise durch Reibung infolge einer Ortsverlagerung der integrierten Schaltung oder durch deren Berührung durch einen Operator ("human body model") auftreten. ESD-feste Halbleitervorrichtungen sollen Spannungen bis in die Größenordnungen von einigen kV und Ströme bis in die Größenordnung von einigen A aushalten können. Um diese ESD-Festigkeit zu erzielen, müssen die entsprechenden Busse zur Vermeidung von hohen Spannungsabfällen auf den Busleitungen, insbesondere der Substratbus mit dem Substratpotential VSSB und der Powerbus mit dem Potential VSSP niederohmig gehalten werden. Hierzu ist es erforderlich, in Abhängigkeit von der Busbreite und dem Flächenwiderstand des Busses in definierten Abständen zu äußeren Pins (bzw. Anschlüssen) zu bonden. Diese Abstände können in der Größenordnung von 1 mm liegen.

Fig. 3 zeigt eine bestehende Anordnung, bei der ein Substratbus 2 für Substratpotential VSSB und ein Powerbus 1 für das Potential VSSP vorgesehen sind. Das Substratpotential VSSB ist relativ "ruhig", während das Potential VSSP durch die Schaltvorgänge von Treibern im Vergleich zu dem Substratpotential VSSB Schwankungen von mehreren hundert mV unterworfen sein kann und als relativ "unruhig" anzusehen ist. Der Substratbus 2 ist über eine Durchbruchdiode 4, beispielsweise eine Zener-Diode, mit einem I/O-Pad 3 verbunden, um ESD-Entladungen auf den Substratbus 2 abführen zu können.

Zur Gewährleistung der ESD-Festigkeit sind beide Busse 1, 2 in regelmäßigen Abständen über Pads 5, 6 mit einem äußeren Pin 7 gebondet. In Fig. 3 sind zur Vereinfachung der Darstellung jeweils lediglich ein Pad 5 bzw. 6 und ein Pin 7 gezeigt. Dabei sind jeweils ein Pad 5 und ein Pad 6 über einen Doppelbond mit einem Pin 7 zu verbinden. Auf diese Weise können die jeweiligen Busse 1, 2 bzw. die auf diesen Bussen 1, 2 vorgesehenen Schutzstrecken niederohmig gehalten werden, wenn die Pads 5, 6 beispielsweise in einem Abstand von 1 mm mit jeweils einem Pin 7 gebondet werden.

Ein Nachteil dieser bestehenden ESD-Schutzanordnung ist aber darin zu sehen, daß für das unter regelmäßigen Abständen vorzunehmende Bonden beispielsweise des Substratbusses 2 eine große Anzahl von entsprechenden Pads zur Verfügung gestellt werden muß, so daß für das Bonden dieser Pads mehr Pins benötigt werden, als überhaupt verfügbar sind.

Es entsteht so eine ESD-Schutzanordnung, bei der die Halbleitervorrichtungen gegen das untere Versorgungspot-

tential VSS im Bereich der I/O-Pads 3, bei denen die erwähnten Überspannungen vorzugsweise auftreten, unter einer sogenannten Substratrennung sowohl mit dem Substratbus 2 als auch mittels beispielsweise Source eines Treibertransistors mit dem Powerbus 1 verbunden sind. Dadurch ist es überdies möglich, eine zwischen Halbleitersubstrat und Diffusionszone vorhandene parasitäre Diode zu nutzen, so daß nur einer der beiden Busse 1, 2 breiter ausgeführt zu werden braucht.

Alternativ könnte auch daran gedacht werden, die Busse 1, 2 für Potential VSSP bzw. Substratpotential VSSB durch Paare antiparalleler Dioden miteinander zu koppeln. Dieses Vorgehen führt aber bei einem positiven Verzieren des Potentials VSSP, wie dieses beim Schalten von Treibern auftritt kann, zu einer Störung auf dem Substratbus 2 und damit auch zu Störungen an empfindlichen Schaltungsteilen.

Es ist daher Aufgabe der vorliegenden Erfindung, eine ESD-Schutzanordnung anzugeben, bei der die Anzahl der Pads des Substratbusses und damit auch die Anzahl der Pins mit Bonden dieser Pads verringert werden kann.

Diese Aufgabe wird bei einer ESD-Schutzanordnung der eingangs genannten Art erfindungsgemäß dadurch gelöst, daß zwischen dem Powerbus und dem Versorgungsbuss eine zusätzliche, in Flussrichtung betriebene ESD-Diode vorgesehen ist.

Bei der erfindungsgemäßen ESD-Schutzanordnung ist also zusätzlich zu bestehenden Schutzanordnungen noch eine ESD-Diode zwischen dem Powerbus mit dem Potential VSSP und dem Versorgungsbuss mit dem Versorgungspotential VDDP beispielsweise bei jedem Versorgungspad des Versorgungsbusses eingefügt. Diese ESD-Diode schließt den Schutzbau für negative Belastungen zwischen dem Substratpotential VSSB und dem Potential VSSP während eines ESD-Stresses und begrenzt die auftretende Spannungsdifferenz zwischen den beiden entsprechenden Bussen, also dem Substratbus und dem Powerbus, auf die Klemmenspannung der Durchbruchdiode zuzüglich der Flussspannung der ESD-Diode. Die ESD-Diode zwischen dem Powerbus und dem Versorgungsbuss soll nur in Flussrichtung betrieben werden. Dies erfordert, daß die Durchbruchspannung der ESD-Diode deutlich über der Durchbruchspannung der Durchbruchdiode des Versorgungsbusses liegt.

Bei positiven Belastungen, die über den Substratbus ausgeführt werden, kommt die parasitäre Diode zwischen Substrat bzw. Diffusionszone oder Halbleiterwanne und Source eines NMOS-Treibertransistors in Flussrichtung und begrenzt so die Spannungsdifferenz zwischen den beiden Bussen, also dem Substratbus und dem Powerbus auf niedrige Werte, sofern diese parasitäre Diode in geeigneter Weise ausgeführt ist, d. h., eine ausreichende Weite und einen für ESD optimierten Elektrodenabstand besitzt. Hierzu werden die Pads für den Versorgungsbuss und den Powerbus sowie die I/O-Pads in einem geeigneten Abstandsraster angebracht.

Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

Fig. 1 ein Schaltbild der erfindungsgemäßen ESD-Schutzanordnung.

Fig. 2 eine Schnittdarstellung durch eine Halbleitervorrichtung mit einem Beispiel für eine ESD-Diode der erfindungsgemäßen ESD-Schutzanordnung und

Fig. 3 eine Draufsicht auf einen Substratbus und einen Powerbus mit zugeordneten Pads bei einer bestehenden Schutzanordnung.

Die Fig. 3 ist bereits eingangs erläutert worden. In den Fig. 1 und 2 werden für einander entsprechende Bauteile die gleichen Bezeichnungen wie in Fig. 3 verwendet.

Fig. 1 zeigt den Powerbus 1 mit dem Potential VSSP, den

Substratbus 2 mit dem Substratpotential VSSB und einen Versorgungsbust 8 mit dem Versorgungspotential VDDP. Die Potentiale VSSP und VSSB liegen bei etwa 0 V, während für das Versorgungspotential VDDP etwa 5 V zu veranschlagen ist.

Ein I/O-Pad 3 in einem Treiber 10 mit einem NMOS-Transistor 9 ist über Durchbruchdioden 4 und 19, wie beispielsweise Zener-Dioden, mit dem Substratbus 2 einerseits und dem Versorgungsbust 8 andererseits verbunden und direkt an Drain D des NMOS-Transistors 9 angeschlossen, dessen Source auf dem Potential VSSP liegt und dessen Wanne mit dem Substratpotential VSSB verbunden ist. Zwischen Source und Wanne bildet sich eine parasitäre Diode 11 aus.

Jedem Versorgungspad (in Fig. 1 nicht näher dargestellt) des Versorgungspotentials VDDP ist ein ESD-Schutzglied 12 zugeordnet, das zunächst aus einer Durchbruchdiode 13, beispielsweise einer Zener-Diode, zwischen dem Substratbus 2 und dem Versorgungsbust 8 besteht. Außerdem hat erfindungsgemäß dieses ESD-Schutzglied 12 noch eine zusätzliche ESD-Diode 14 zwischen dem Versorgungsbust 8 und dem Wannenbus 1.

Diese ESD-Diode 14, bei der es sich um eine übliche pn-Diode handeln kann, schließt den Schutzbau für negative Belastungen zwischen dem Substratbus 2 und dem Powerbus 1 während eines ESD-Stresses und begrenzt die auftretende Spannungsdifferenz zwischen den beiden Bussen 1 und 2 auf die Klemmenspannung der Durchbruchdiode 13 zuzüglich der Flußspannung der ESD-Diode 14. Die ESD-Diode 14, die zwischen dem Powerbus 1 und dem Versorgungsbust 8 liegt, wird nur in Flußrichtung betrieben. Hierzu ist ihre Durchbruchspannung deutlich über der Durchbruchspannung der Durchbruchdiode 13 am Versorgungsbust 8. Bei positiven Belastungen, die über dem Substratbus 2 auftreten, wird die parasitäre Diode 11 zwischen Source des NMOS-Transistors 9, die am Powerbus 1 angeschlossen ist, und dem Substratbus 2 in Durchflußrichtung betrieben und begrenzt so die Spannungsdifferenz zwischen den beiden Bussen 1 und 2 auf niedrige Werte.

Fig. 2 zeigt ein Ausführungsbeispiel zur Realisierung der ESD-Diode 14 aus einem p⁺-leitenden Gebiet 15, an welchem das Potential VSSP anliegt, und einer n-leitenden Halbleiterwanne 16 mit n⁺-leitenden Kontaktgebieten 17 für das Versorgungspotential VDDP in einem p-leitenden Halbleitersubstrat 18.

Die erfindungsgemäße ESD-Schutzanordnung ermöglicht so eine vorteilhafte Ausnutzung der Pads 5 (vgl. Fig. 3) des Powerbusses 1 zur Ableitung des ESD-Pulses, ohne daß ein Pad 6 für den Substratbus 2 eingeführt werden muß. Dies verringert die Anzahl der erforderlichen Pads im "Padkranz" 50 und vermeidet die Ausführung von Doppelbonds, die sich je nach Gehäuseart schwierig gestalten kann.

Bezugszeichenliste

1 Wannenbus	55
2 Substratbus	
3 I/O-Pad	
4 Durchbruchsdiode	
5 Pad für Wannenbus	
6 Pad für Substratbus	60
7 Pin	
8 Versorgungsbust	
9 NMOS-Treibertransistor	
10 Halbleitervorrichtung	
11 parasitäre Diode	
12 ESD-Schutzglied	
13 Durchbruchsdiode	65

- 14 ESD-Diode
- 15 p⁺-leitendes Gebiet
- 16 n-leitende Wanne
- 17 n⁺-leitendes Kontaktgebiet
- 18 p-leitendes Substrat
- VSSB Substratpotential
- VSSP Wannenpotential
- VDDP Versorgungspotential

Patentansprüche

1. ESD-Schutzanordnung für Signaleingänge und -ausgänge (I/O) bei Halbleitervorrichtungen (10) mit Substrattrennung, bei der ein Halbleitersubstrat (18) mit einem Substratbus (2) zum Beaufschlagen des Halbleitersubstrats (18) mit einem Substratpotential (VSSB) und eine Halbleiterdiffusionszone (16) im Halbleitersubstrat (18) mit einem Powerbus (1) zum Beaufschlagen der Halbleiterdiffusionszone (16) mit einem Powerpotential (VSSP) verbunden sind, bei der zwischen dem Substratbus (2) und dem Powerbus (1) eine parasitäre Diode (11) liegt, bei der über einen Versorgungsbust (8) den mit I/O-Pads (3) versehenen Halbleitervorrichtungen (10) ein Versorgungspotential (VDDP) zuführbar ist und bei der zwischen dem Substratbus (2) und dem Versorgungsbust (8) eine in Flußrichtung betriebene Durchbruchdiode (13) liegt, dadurch gekennzeichnet, daß zwischen dem Powerbus (1) und dem Versorgungsbust (8) eine zusätzliche, in Flußrichtung betriebene ESD-Diode (14) vorgesehen ist.
2. ESD-Schutzanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Durchbruchspannung der ESD-Diode (14) höher ist als die Durchbruchspannung der Durchbruchdiode (13).
3. ESD-Schutzanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Halbleitervorrichtung (10) einen Treiber umfaßt.
4. ESD-Schutzanordnung nach Anspruch 3, dadurch gekennzeichnet, daß der Treiber einen NMOS-Transistor (9) aufweist.
5. ESD-Schutzanordnung nach Anspruch 4, dadurch gekennzeichnet, daß die parasitäre Diode (11) zwischen Source (S) des NMOS-Transistors (9) und dem Substratbus (2) liegt.

Hierzu 1 Seite(n) Zeichnungen

Fig. 1

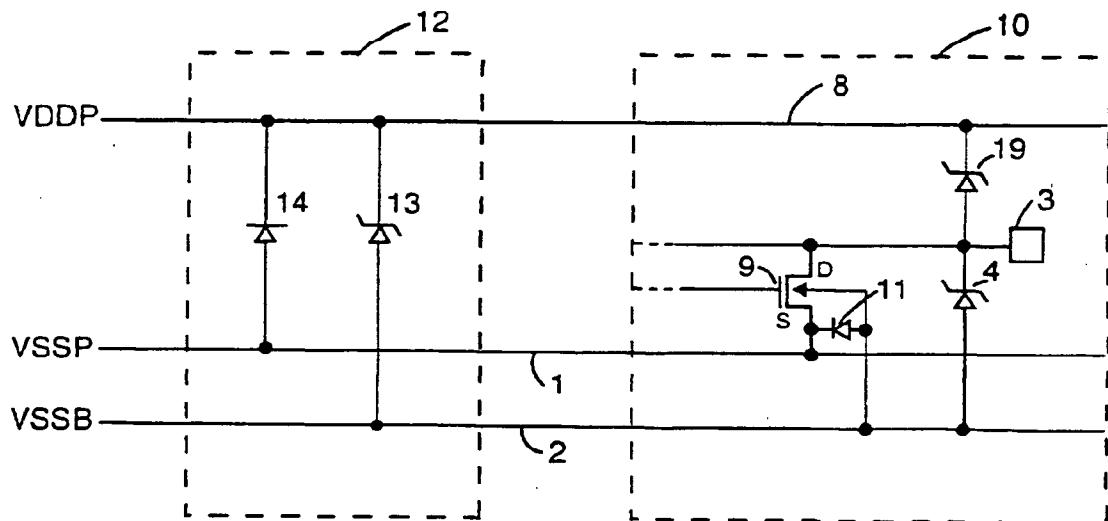


Fig. 2

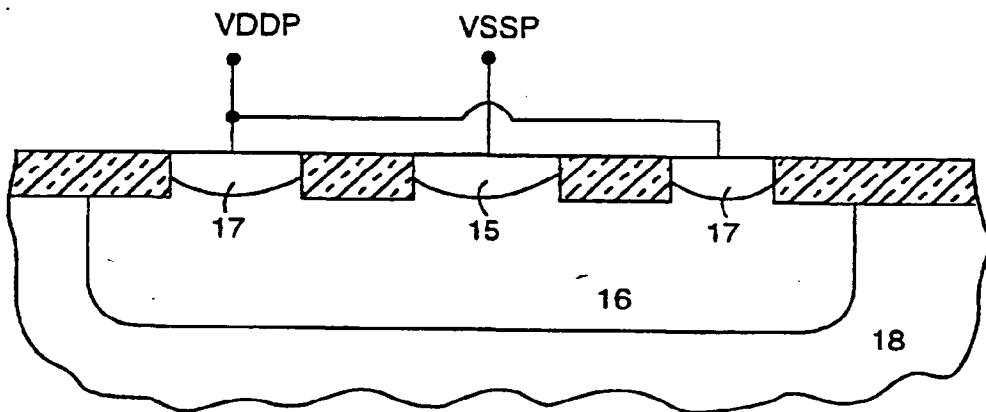


Fig. 3

